

A3

2/5/1 (Item 1 from file: 351)  
DIALOG(R) File 351: Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

011988472 \*\*Image available\*\*  
WPI Acc No: 1998-405382/199835  
XRPX Acc No: N98-316367

Image reading apparatus e.g. image scanner for digital copier, facsimile  
- has shading correction unit which corrects digital light reception data  
from document using standard data stored in memory

Patent Assignee: MITA IND CO LTD (MTAI )

Inventor: TAMURA R

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10164362	A	19980619	JP 96319491	A	19961129	199835 B
US 5943141	A	19990824	US 97974868	A	19971120	199941

Priority Applications (No Type Date): JP 96319491 A 19961129

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 10164362	A		15	H04N-001/401	
US 5943141	A			H04N-001/40	

Abstract (Basic): JP 10164362 A

The apparatus has a first controller which performs 2m line light reception of light reflected from a white standard board (30) illuminated before reading a document by an opto electric transducer where m is a positive integer. A second controller performs 2m line light reception by each opto electric transducer, where each transducer is shaded before reading the document. A memory stores white standard data output as digital data when first controller is operated. A second memory stores black standard data output as digital data when second controller is operated.

When one of the white and black standard data is output, n bits of one memory correspond to n bits of higher order. When other standard data of white and black standard data is output, m bits of the other memory corresponds to m bits of lower order. A shading correction unit corrects digital light reception data from document using standard data stored in memory.

ADVANTAGE - Reduces required memory capacity. Ensures exact shading correction.

Dwg.1/12

Title Terms: IMAGE; READ; APPARATUS; IMAGE; SCAN; DIGITAL; COPY; FACSIMILE; SHADE; CORRECT; UNIT; CORRECT; DIGITAL; LIGHT; RECEPTION; DATA; DOCUMENT; STANDARD; DATA; STORAGE; MEMORY

Derwent Class: S06; T01; W02

International Patent Class (Main): H04N-001/40; H04N-001/401

International Patent Class (Additional): G06K-009/38; G06K-009/40; G06T-001/00

File Segment: EPI

2/5/2 (Item 1 from file: 347)  
DIALOG(R) File 347: JAPIO  
(c) 2001 JPO & JAPIO. All rts. reserv.

05881262 \*\*Image available\*\*  
IMAGE READER

PUB. NO.: 10-164362 A]  
PUBLISHED: June 19, 1998 (19980619)  
INVENTOR(s): TAMURA RYUTA  
APPLICANT(s): MITA IND CO LTD [000615] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 08-319491 [JP 96319491]  
FILED: November 29, 1996 (19961129)  
INTL CLASS: [6] H04N-001/401; G06T-001/00; G06K-009/38  
JAPIO CLASS: 29.4 (PRECISION INSTRUMENTS -- Business Machines); 44.7  
(COMMUNICATION -- Facsimile); 45.3 (INFORMATION PROCESSING --  
Input Output Units); 45.9 (INFORMATION PROCESSING -- Other)  
JAPIO KEYWORD: R005 (PIEZOELECTRIC FERROELECTRIC SUBSTANCES); R098  
(ELECTRONIC MATERIALS -- Charge Transfer Elements, CCD & BBD)

#### ABSTRACT

PROBLEM TO BE SOLVED: To prevent a memory capacity from being increased regardless of an arithmetic operation that a simple means value is obtained by reading a white reference plate over plural lines.

SOLUTION: White reference data are integrated by 8 lines in an 11-bits area consisting of 8-bits of a white reference data FIFO memory M1 as high-order 8-bits and of high-order 3-bits of a black reference data FIFO memory M2 as low-order 3-bits. Thus, even when 8-bits data of white reference data taking a large value are integrated by 8 lines, the arithmetic operation is conducted without overflowing and an 8-bits conventional memory is used as the white reference data FIFO memory M1 and the black reference data FIFO memory M2. Moreover, division of 1/8 after being integrated by 8 lines, that is, a process of 3-bits shifted to the right is not required and the constitution is made simple.

A3

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-164362

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.<sup>9</sup>

識別記号

F I

H 0 4 N 1/401

H 0 4 N 1/40

1 0 1 A

G 0 6 T 1/00

G 0 6 K 9/38

R

G 0 6 K 9/38

G 0 6 F 15/64

4 0 0 C

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号

特願平8-319491

(22) 出願日

平成 8 年(1996) 11月29日

(71) 出願人 000006150

三田工業株式会社

大阪府大阪市中央区玉造 1 丁目 2 番28号

(72) 発明者 田邨 竜太

大阪市中央区玉造 1 丁目 2 番28号 三田工業株式会社内

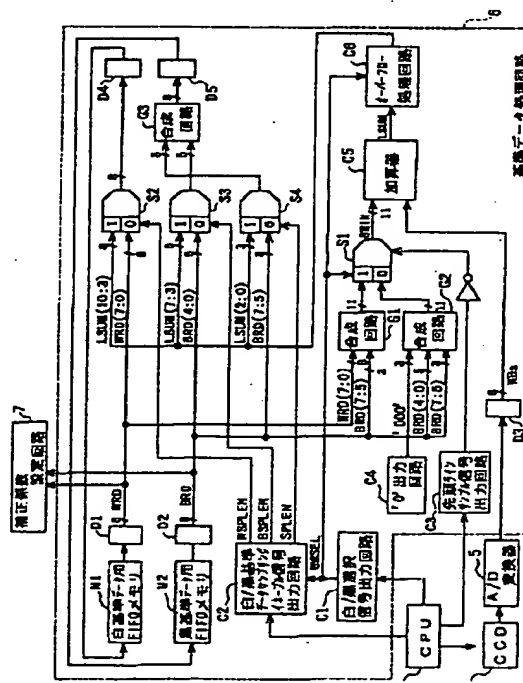
(74) 代理人 弁理士 小谷 悦可 (外 3 名)

(54) 【発明の名称】 画像読取装置

(57) 【要約】

【課題】 白色基準板を複数ラインに亘って読み取って単純平均値を求めるものでありながら、メモリ容量の増大を抑制する。

【解決手段】 白基準データ用 F I F O メモリ M1 の 8 ビットを上位 8 ビットとし、黒基準データ用 F I F O メモリ M2 の上位 3 ビットを下位 3 ビットとして構成される 11 ビットの領域で白基準データの 8 ライン分の積算を行う。これによって、大きい値をとる白基準データの 8 ビットデータを 8 ライン積算した場合でも、オーバーフローすることなく演算でき、白基準データ用 F I F O メモリ M1 及び黒基準データ用 F I F O メモリ M2 として、8 ビットの汎用メモリを用いることができる。また、8 ラインの積算後に 1/8 の除算、すなわち 3 ビット右ヘシフトする過程を不要にでき、構成を簡易にできる。



## 【特許請求の範囲】

【請求項1】 ライン状に配列された複数の光電変換素子から出力されるアナログ受光データを $n$  ( $n$ は正の整数)ビットのデジタル受光データに変換して出力する変換手段と、原稿からの反射光を上記各光電変換素子により受光したときに出力される上記デジタル受光データを補正するシェーディング補正手段とを備えた画像読取装置において、原稿読取前に照明された白色基準板からの反射光を上記各光電変換素子により少なくとも $2^m$  ( $m$ は正の整数かつ $m < n$ )ライン受光させる白基準データ受光制御手段と、原稿読取前に上記各光電変換素子を遮光した状態で上記各光電変換素子により少なくとも $2^m$ ライン受光させる黒基準データ受光制御手段と、上記白基準データ受光制御手段が動作したときに出力される上記デジタルデータである白基準データを格納するための $n$ ビットの白基準データ用メモリと、上記黒基準データ受光制御手段が動作したときに出力される上記デジタルデータである黒基準データを格納するための $n$ ビットの黒基準データ用メモリと、上記白基準データ及び黒基準データの一方の基準データが出力されるときは、上記白基準データ用メモリ及び黒基準データ用メモリの対応する一方の基準データ用メモリの $n$ ビットを上位 $n$ ビットとし、上記白基準データ用メモリ及び黒基準データ用メモリの他方の基準データ用メモリの所定の $m$ ビットを下位 $m$ ビットとして構成される $(n+m)$ ビットの領域を用いて、上記一方の基準データを $2^m$ ライン順次積算するとともに、上記白基準データ及び黒基準データの他方の基準データが出力されるときは、上記他方の基準データ用メモリの上記所定の $m$ ビットを下位 $m$ ビットとし、上記他方の基準データ用メモリの残りの $(n-m)$ ビットを上位 $(n-m)$ ビットとして構成される $n$ ビットの領域を用いて、上記他方の基準データを $2^m$ ライン順次積算する基準データ処理回路とを備え、上記シェーディング補正手段は、 $2^m$ ライン積算されたときの上記一方の基準データ用メモリの $n$ ビット領域に格納された上記一方の基準データ及び $2^m$ ライン積算されたときの上記他方の基準データ用メモリの上記 $(n-m)$ ビット領域に格納された上記他方の基準データを用いて原稿からの上記デジタル受光データを補正するものであることを特徴とする画像読取装置。

【請求項2】 請求項1記載の画像読取装置において、上記変換手段は、アナログ受光データを $n$ ビットのデジタル受光データに変換する際に、白基準データは $(2^n-1)$ に近い値、かつ、黒基準データは0に近い値となるように変換するもので、上記一方の基準データは白基準データで、上記他方の基準データは黒基準データで、上記一方の基準データ用メモリは白基準データ用メモリで、上記他方の基準データ用メモリは黒基準データ用メモリであることを特徴とする画像読取装置。

【請求項3】 請求項1記載の画像読取装置において、

上記変換手段は、アナログ受光データを $n$ ビットのデジタル受光データに変換する際に、黒基準データは $(2^n-1)$ に近い値、かつ、白基準データは0に近い値となるように変換するもので、上記一方の基準データは黒基準データで、上記他方の基準データは白基準データで、上記一方の基準データ用メモリは黒基準データ用メモリで、上記他方の基準データ用メモリは白基準データ用メモリであることを特徴とする画像読取装置。

【請求項4】 請求項1～3のいずれかに記載の画像読取装置において、上記基準データ処理回路は、出力された上記一方の基準データと上記 $(n+m)$ ビットの領域に格納されたデータとをライン毎に加算して上記 $(n+m)$ ビットの領域に格納するとともに、出力された上記他方の基準データと上記 $n$ ビットの領域に格納されたデータとをライン毎に加算して上記 $n$ ビットの領域に格納する加算器と、出力された上記一方の基準データが最初のラインのときは上記 $(n+m)$ ビットの領域に格納されたデータに代えて0を加算させるとともに、出力された上記他方の基準データが最初のラインのときは上記 $n$ ビットの領域に格納されたデータに代えて0を加算させる先頭ライン信号出力回路とを備えたものであることを特徴とする画像読取装置。

【請求項5】 請求項1～4のいずれかに記載の画像読取装置において、上記基準データ処理回路は、上記加算器による加算結果と予め設定された基準値とを比較し、上記加算結果が上記基準値を超えると上記基準値を加算結果とするオーバーフロー処理回路を備え、このオーバーフロー処理回路は、上記一方の基準データの積算時には上記基準値を $(2^{n+m}-1)$ とし、上記他方の基準データの積算時には上記基準値を $(2^n-1)$ に切り換えるものであることを特徴とする画像読取装置。

【請求項6】 請求項1～5のいずれかに記載の画像読取装置において、 $n \geq 2^m$ としたことを特徴とする画像読取装置。

【請求項7】 請求項6記載の画像読取装置において、 $n=8$ 、 $m=3$ としたことを特徴とする画像読取装置。

【請求項8】 請求項1～7のいずれかに記載の画像読取装置において、上記白基準データ受光制御手段及び黒基準データ受光制御手段により受光させるときのライン間隔を設定するライン間隔設定手段を備えたことを特徴とする画像読取装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタル複写機やファクシミリなどに適用される画像読取装置に関するものである。

【0002】

【従来の技術】 一般に、高密度に配置された多数のCCDなどの光電変換素子からなるラインセンサを用いて原稿画像を読み取るイメージスキャナなどの画像読取装置

は、光源により照明された原稿からの反射光を光学系によってラインセンサに導いて受光データを得るようにしているが、光電変換素子毎の感度ばらつきや照明むらを補正するために、シェーディング補正を行っている。

【0003】このシェーディング補正は、原稿読取前に、照明された白色基準板からの反射光を各光電変換素子により受光して得られる白基準データと、ラインセンサを遮光した状態で各光電変換素子により得られる黒基準データとを用いて上記受光データを補正するものである。

【0004】ところが、白色基準板が汚れていたり、電氣的ノイズの影響を受けると、正確な白基準データ及び黒基準データが得られないため、的確なシェーディング補正ができない。そこで、従来、白色基準板を複数ラインに亘って読み取ることによって、白色基準板の汚れによる影響を軽減するようにした画像読取装置が提案されている（特許第2505906号公報）。

【0005】この特許第2505906号公報記載の画像読取装置は、白色基準板を1ライン読み取る毎に、前回までに読み取って記憶したデータとの平均値を算出してメモリに記憶するようにしたものである。これによって、複数ライン読み取って得られるデータの総和を算出して平均するために大きいメモリ容量を必要とする従来の画像読取装置の問題点を解決している。

【0006】

【発明が解決しようとする課題】ところが、上記特許第2505906号公報記載の画像読取装置は、複数ラインに亘って読み取った白色基準板のデータを加重平均することになるので、最初のラインで読み取ったデータに含まれるばらつきに対する影響よりも、後のラインになるほど、読み取ったデータに含まれるばらつきに対する影響の方が大きくなる。このため、後で読み取った白色基準板の領域が汚れている場合には、白基準データの誤差が大きくなってしまう。

【0007】本発明は、上記問題を解決するもので、白色基準板を複数ラインに亘って読み取って単純平均値を求めるものでありながら、メモリ容量の増大を抑制し得る画像読取装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、ライン状に配列された複数の光電変換素子から出力されるアナログ受光データを $n$  ( $n$ は正の整数)ビットのデジタル受光データに変換して出力する変換手段と、原稿からの反射光を上記各光電変換素子により受光したときに出力される上記デジタル受光データを補正するシェーディング補正手段とを備えた画像読取装置において、原稿読取前に照明された白色基準板からの反射光を上記各光電変換素子により少なくとも $2^m$  ( $m$ は正の整数かつ $m < n$ )ライン受光させる白基準データ受光制御手段と、原稿読取前に上記各光電変換素子を遮光した状態で上記各光電変換

素子により少なくとも $2^m$ ライン受光させる黒基準データ受光制御手段と、上記白基準データ受光制御手段が動作したときに出力される上記デジタルデータである白基準データを格納するための $n$ ビットの白基準データ用メモリと、上記黒基準データ受光制御手段が動作したときに出力される上記デジタルデータである黒基準データを格納するための $n$ ビットの黒基準データ用メモリと、上記白基準データ及び黒基準データの一方の基準データが出力されるときは、上記白基準データ用メモリ及び黒基準データ用メモリの対応する一方の基準データ用メモリの $n$ ビットを上位 $n$ ビットとし、上記白基準データ用メモリ及び黒基準データ用メモリの他方の基準データ用メモリの所定の $m$ ビットを下位 $m$ ビットとして構成される $(n+m)$ ビットの領域を用いて、上記一方の基準データを $2^m$ ライン順次積算するとともに、上記白基準データ及び黒基準データの他方の基準データが出力されるときは、上記他方の基準データ用メモリの上記所定の $m$ ビットを下位 $m$ ビットとし、上記他方の基準データ用メモリの残りの $(n-m)$ ビットを上位 $(n-m)$ ビットとして構成される $n$ ビットの領域を用いて、上記他方の基準データを $2^m$ ライン順次積算する基準データ処理回路とを備え、上記シェーディング補正手段は、 $2^m$ ライン積算されたときの上記一方の基準データ用メモリの $n$ ビット領域に格納された上記一方の基準データ及び $2^m$ ライン積算されたときの上記他方の基準データ用メモリの上記 $(n-m)$ ビット領域に格納された上記他方の基準データを用いて原稿からの上記デジタル受光データを補正するものである（請求項1）。

【0009】この構成によれば、原稿読取前に、照明された白色基準板からの反射光がライン状に配列された複数の光電変換素子により少なくとも $2^m$ ライン受光されて白基準データが得られ、更に原稿読取前に、各光電変換素子を遮光した状態で各光電変換素子により少なくとも $2^m$ ライン受光されて黒基準データが得られる。そして、一方の基準データ用メモリの $n$ ビットを上位 $n$ ビットとし、他方の基準データ用メモリの所定の $m$ ビットを下位 $m$ ビットとして構成される $(n+m)$ ビットの領域を用いて、一方の基準データが $2^m$ ライン順次積算され、他方の基準データ用メモリの上記所定の $m$ ビットを下位 $m$ ビットとし、他方の基準データ用メモリの残りの $(n-m)$ ビットを上位 $(n-m)$ ビットとして構成される $n$ ビットの領域を用いて、他方の基準データが $2^m$ ライン順次積算される。

【0010】これによって、 $2^m$ ライン積算されたときの方の基準データ用メモリの $n$ ビットに格納された基準データは、 $(n+m)$ ビットの積算結果を $m$ ビットだけ右にシフトした値であるので、積算結果の $1/2^m$ 、すなわち一方の基準データの $2^m$ ラインの平均値になる。また、 $2^m$ ライン積算されたときの他方の基準データ用メモリの上記残りの $(n-m)$ ビットに格納された基準デ

タは、 $n$ ビットの積算結果を $m$ ビットだけ右にシフトした値であるので、積算結果の $1/2^m$ 、すなわち他方の基準データの $2^m$ ラインの平均値になる。

【0011】ここで、一方の基準データの全てのデータが $n$ ビットにおける最大値、すなわち $(2^n-1)$ の場合であっても、この $2^m$ 倍は、 $(2^{(n+m)}-1)$ より小さい値になるので、オーバーフローすることなく $(n+m)$ ビットで表され、 $2^m$ ラインの積算が正常に行われる。

【0012】従って、除算やビットのシフト操作を行うことなく、白基準データ及び黒基準データの $2^m$ ラインの平均値を用いて原稿からのデジタル受光データが補正されることとなり、的確なシェーディング補正が行われる。

【0013】なお、上記請求項1記載の構成において、上記所定の $m$ ビットは、上記他方の基準データ用メモリの $n$ ビットの上位 $m$ ビットを用いても、下位 $m$ ビットを用いてもよい。この場合でも請求項1記載の構成と同様の作用が行われる。

【0014】また、請求項1記載の画像読取装置において、上記変換手段は、アナログ受光データを $n$ ビットのデジタル受光データに変換する際に、白基準データは $(2^n-1)$ に近い値、かつ、黒基準データは0に近い値となるように変換するもので、上記一方の基準データは白基準データで、上記他方の基準データは黒基準データで、上記一方の基準データ用メモリは白基準データ用メモリで、上記他方の基準データ用メモリは黒基準データ用メモリである（請求項2）。

【0015】この構成によれば、アナログ受光データを $n$ ビットのデジタル受光データに変換する際に、白基準データは $(2^n-1)$ に近い値、黒基準データは0に近い値となるように変換され、白基準データ用メモリの $n$ ビットを上位 $n$ ビットとし、黒基準データ用メモリの所定の $m$ ビットを下位 $m$ ビットとして構成される $(n+m)$ ビットの領域を用いて、白基準データが $2^m$ ライン順次積算され、更に、黒基準データ用メモリの上記所定の $m$ ビットを下位 $m$ ビットとし、黒基準データ用メモリの残りの $(n-m)$ ビットを上位 $(n-m)$ ビットとして構成される $n$ ビットの領域を用いて、黒基準データが $2^m$ ライン順次積算される。

【0016】これによって、 $2^m$ ライン積算されたときの白基準データ用メモリの $n$ ビットに格納された白基準データは、 $2^m$ ラインの白基準データの平均値になり、 $2^m$ ライン積算されたときの黒基準データ用メモリの上記残りの $(n-m)$ ビットに格納された黒基準データは、 $2^m$ ラインの黒基準データの平均値になる。

【0017】ここで、全ての白基準データが $n$ ビットにおける最大値、すなわち $(2^n-1)$ の場合であっても、この $2^m$ 倍は、 $(2^{(n+m)}-1)$ より小さい値になるので、オーバーフローすることなく $(n+m)$ ビットで表され、 $2^m$ ラインの積算が正常に行われる。従って、除算やビ

ットのシフト操作を行うことなく、白基準データ及び黒基準データの $2^m$ ラインの平均値を用いて原稿からのデジタル受光データが補正されることとなり、的確なシェーディング補正が行われる。

【0018】また、請求項1記載の画像読取装置において、上記変換手段は、アナログ受光データを $n$ ビットのデジタル受光データに変換する際に、黒基準データは $(2^n-1)$ に近い値、かつ、白基準データは0に近い値となるように変換するもので、上記一方の基準データは黒基準データで、上記他方の基準データは白基準データで、上記一方の基準データ用メモリは黒基準データ用メモリで、上記他方の基準データ用メモリは白基準データ用メモリである（請求項3）。

【0019】この構成によれば、アナログ受光データを $n$ ビットのデジタル受光データに変換する際に、黒基準データは $(2^n-1)$ に近い値、白基準データは0に近い値となるように変換され、黒基準データ用メモリの $n$ ビットを上位 $n$ ビットとし、白基準データ用メモリの所定の $m$ ビットを下位 $m$ ビットとして構成される $(n+m)$ ビットの領域を用いて、黒基準データが $2^m$ ライン順次積算され、更に、白基準データ用メモリの上記所定の $m$ ビットを下位 $m$ ビットとし、白基準データ用メモリの残りの $(n-m)$ ビットを上位 $(n-m)$ ビットとして構成される $n$ ビットの領域を用いて、白基準データが $2^m$ ライン順次積算される。

【0020】これによって、 $2^m$ ライン積算されたときの黒基準データ用メモリの $n$ ビットに格納された白基準データは、 $2^m$ ラインの黒基準データの平均値になり、 $2^m$ ライン積算されたときの白基準データ用メモリの上記残りの $(n-m)$ ビットに格納された白基準データは、 $2^m$ ラインの白基準データの平均値になる。

【0021】ここで、全ての黒基準データが $n$ ビットにおける最大値、すなわち $(2^n-1)$ の場合であっても、この $2^m$ 倍は、 $(2^{(n+m)}-1)$ より小さい値になるので、オーバーフローすることなく $(n+m)$ ビットで表され、 $2^m$ ラインの積算が正常に行われる。従って、除算やビットのシフト操作を行うことなく、白基準データ及び黒基準データの $2^m$ ラインの平均値を用いて原稿からのデジタル受光データが補正されることとなり、的確なシェーディング補正が行われる。

【0022】また、請求項1～3のいずれかに記載の画像読取装置において、上記基準データ処理回路は、出力された上記一方の基準データと上記 $(n+m)$ ビットの領域に格納されたデータとをライン毎に加算して上記 $(n+m)$ ビットの領域に格納するとともに、出力された上記他方の基準データと上記 $n$ ビットの領域に格納されたデータとをライン毎に加算して上記 $n$ ビットの領域に格納する加算器と、出力された上記一方の基準データが最初のラインのときは上記 $(n+m)$ ビットの領域に格納されたデータに代えて0を加算させるとともに、出力され

た上記他方の基準データが最初のラインのときは上記 $n$ ビットの領域に格納されたデータに代えて0を加算させる先頭ライン信号出力回路とを備えたものである（請求項4）。

【0023】この構成によれば、基準データ処理回路における2ラインの積算は、出力された一方の基準データと上記 $(n+m)$ ビットの領域に格納されたデータとをライン毎に加算して上記 $(n+m)$ ビットの領域に格納することによって行われるとともに、出力された他方の基準データと上記 $n$ ビットの領域に格納されたデータとをライン毎に加算して上記 $n$ ビットの領域に格納することによって行われる。

【0024】なお、出力された一方の基準データが最初のラインのときは、上記 $(n+m)$ ビットの領域に格納されたデータに代えて0と一方の基準データとが加算され、出力された他方の基準データが最初のラインのときは上記 $n$ ビットの領域に格納されたデータに代えて0と他方の基準データとが加算されることによって、2ラインの各基準データの積算が正確に行われる。

【0025】また、請求項1～4のいずれかに記載の画像読取装置において、上記基準データ処理回路は、上記加算器による加算結果と予め設定された基準値とを比較し、上記加算結果が上記基準値を超えると上記基準値を加算結果とするオーバーフロー処理回路を備え、このオーバーフロー処理回路は、上記一方の基準データの積算時には上記基準値を $(2^{n+m}-1)$ とし、上記他方の基準データの積算時には上記基準値を $(2^n-1)$ に切り換えるものである（請求項5）。

【0026】この構成によれば、一方の基準データの積算時には加算結果が $(2^{n+m}-1)$ を超えると $(2^{n+m}-1)$ を加算結果とし、他方の基準データの積算時には加算結果が $(2^n-1)$ を超えると $(2^n-1)$ を加算結果とすることにより、所定数のビット領域における加算において、加算結果が当該ビット領域の最大値を超えたときのオーバーフロー処理が好適に行われる。

【0027】また、請求項1～5のいずれかに記載の画像読取装置において、 $n \geq 2$ としたものである（請求項6）。

【0028】この構成によれば、例えば $n=8$ 、 $m=2$ とすると、一方の基準データ用メモリの8ビットを上位8ビットとし、他方の基準データ用メモリの例えば上位2ビットを下位2ビットとして構成される10ビットの領域を用いて、一方の基準データが4ライン順次積算される。また、他方の基準データ用メモリの下位6ビットを上位6ビットとし、他方の基準データ用メモリの上位2ビットを下位2ビットとして構成される8ビットの領域を用いて、他方の基準データが4ライン順次積算される。

【0029】これによって、4ライン積算されたときの一方の基準データ用メモリの8ビットに格納された基準

データは、10ビットの積算結果を2ビットだけ右にシフトした値であるので、積算結果の $1/4$ 、すなわち一方の基準データの4ラインの平均値になる。また、4ライン積算されたときの他方の基準データ用メモリの下位6ビットに格納された基準データは、8ビットの積算結果を2ビットだけ右にシフトした値であるので、積算結果の $1/4$ 、すなわち他方の基準データの4ラインの平均値になる。

【0030】従って、除算やビットのシフト操作を行うことなく、白基準データ及び黒基準データの4ラインの平均値を用いて原稿からのデジタル受光データが補正されることとなり、的確なシェーディング補正が行われる。

【0031】また、請求項6記載の画像読取装置において、 $n=8$ 、 $m=3$ としたものである（請求項7）。

【0032】この構成によれば、一方の基準データ用メモリの8ビットを上位8ビットとし、他方の基準データ用メモリの所定の3ビットを下位3ビットとして構成される11ビットの領域を用いて、一方の基準データが8ライン順次積算される。更に、他方の基準データ用メモリの残りの5ビットを上位5ビットとし、他方の基準データ用メモリの上記所定の3ビットを下位3ビットとして構成される8ビットの領域を用いて、他方の基準データが8ライン順次積算される。

【0033】これによって、8ライン積算されたときの一方の基準データ用メモリの8ビットに格納された一方の基準データは、11ビットの積算結果を3ビットだけ右にシフトした値であるので、積算結果の $1/8$ 、すなわち8ラインの基準データの平均値になる。また、8ライン積算されたときの他方の基準データ用メモリの上記残りの5ビットに格納された他方の基準データは、8ビットの積算結果を3ビットだけ右にシフトした値であるので、積算結果の $1/8$ 、すなわち8ラインの基準データの平均値になる。従って、白基準データ及び黒基準データの8ラインの平均値を用いて原稿からのデジタル受光データが補正されることとなり、的確なシェーディング補正が行われる。

【0034】また、請求項1～7のいずれかに記載の画像読取装置において、上記白基準データ受光制御手段及び黒基準データ受光制御手段により受光させるときのライン間隔を設定するライン間隔設定手段を備えたものである（請求項8）。

【0035】この構成によれば、白基準データ受光制御手段及び黒基準データ受光制御手段により受光させるときのライン間隔を設定可能にすることにより、ライン間隔が0ラインに設定されると各基準データが短時間で得られ、ライン間隔が複数ラインに設定されると白色基準板の汚れによる影響が低減されることとなる。

【0036】

【発明の実施の形態】図10は本発明に係る画像読取装

置の一実施形態の構成を示すブロック図、図11は同実施形態の原稿走査部の概略構成図である。

【0037】この画像読取装置は、図10に示すように、クロック信号発生回路1、CPU2、原稿走査部3、CCDラインセンサ4、A/D変換器5、基準データ処理回路6、補正係数設定回路7及び乗算器8を備えている。

【0038】クロック信号発生回路1は、水晶発振子又はセラミック発振子を備え、各部の動作を同期して行わせるための一定周波数のクロック信号を発生するもので、このクロック信号を一定比率だけ分周した水平同期信号OHSYNCなどの各周波数のクロック信号を基準クロック信号CLKとして出力するものである。CPU2は、後述するように、白基準データや黒基準データの読取開始又は読取終了の制御信号を出力したり、サンプリングライン間隔を設定するなど、この画像読取装置の各部の動作を制御するものである。

【0039】原稿走査部3は、白色基準板30、露光ランプ31、ランプ駆動部32、光学系33、遮光板34、遮光板駆動部35及び原稿G(図11)を載置するための図略のコンタクトガラスなどを備えている。

【0040】白色基準板30は、シェーディング補正に用いる白基準データを得るためのもので、図11に示すように、コンタクトガラス(図略)上の原稿Gに隣接するように配置されている。露光ランプ31は、蛍光灯やハロゲンランプなどからなり、白色基準板30及び原稿Gを照明するものである。ランプ駆動部32は、露光ランプ31を発光させるとともに、図11中、矢印A方向に移動させて、原稿Gを全面に亘って照明するためのものである。光学系33は、反射ミラー331~333及び集束レンズ334からなり、照明された原稿Gからの反射光をCCDラインセンサ4に導いて、その受光面に結像させるものである。

【0041】遮光板34は、CCDラインセンサ4の受光面を遮光するためのもので、シェーディング補正に用いる黒基準データを得るときに、遮光板駆動部35によって移動してCCDラインセンサ4の受光面を覆うように構成されている。遮光板駆動部35の動作は、CPU2によって制御される。

【0042】CCDラインセンサ4は、多数のCCD(光電変換素子)が一列に並べられて構成され、受光面に入射する受光光量に比例するアナログ電圧信号を出力するものである。

【0043】A/D変換器5は、上記アナログ電圧信号を8ビットのデジタル値に変換するものである。なお、アナログ受光データを8ビットのデジタル受光データに変換する際に、後述する白基準データは(2<sup>8</sup>-1)に近い値、後述する黒基準データは0に近い値となるように変換している。

【0044】基準データ処理回路6、補正係数設定回路

7及び乗算器8は、CCD毎の感度のばらつきや露光ランプ31の照明むらを補正するシェーディング補正を行うためのものである。

【0045】基準データ処理回路6は、白基準データ用FIFOメモリM1や黒基準データ用FIFOメモリM2等を備え、白色基準板30の反射光によるCCDラインセンサ4の出力電圧信号を用いて後述する手順により白基準データを求め、白基準データ用FIFOメモリM1に格納するものである。

【0046】また、基準データ処理回路6は、CCDラインセンサ4の受光面を遮光板34により遮光した状態におけるCCDラインセンサ4の出力電圧信号を用いて後述する手順により黒基準データを求め、黒基準データ用メモリM2に格納するものである。基準データ処理回路6の詳細構成については後述する。

【0047】補正係数設定回路7は、基準データ処理回路6において求められた白基準データ及び黒基準データを用いて、原稿Gの反射光によるCCDラインセンサ4の出力電圧信号を補正するための補正係数を設定するものである。乗算器8は、補正係数設定回路7により、設定された補正係数を原稿Gの反射光によるCCDラインセンサ4の出力電圧信号に乗算するもので、これによってCCD毎の感度のばらつきや露光ランプ31の照明むらが補正される。

【0048】図1は基準データ処理回路6の回路ブロック図である。基準データ処理回路6は、セレクト等の出力信号を選択するための選択信号を出力する回路として、白/黒選択信号出力回路C1、白/黒基準データサンプリングイネーブル信号出力回路C2及び先頭ラインサンプル信号出力回路C3を備えている。

【0049】また、基準データ処理回路6は、データの流れて上流から順に、白基準データ用FIFOメモリM1、黒基準データ用FIFOメモリM2、“0”出力回路C4、合成回路G1、G2、セレクトS1、加算器C5、オーバーフロー処理回路C6、セレクトS2~S4及び合成回路G3を備えるとともに、所定の位置に配設されたDフリップフロップD1~D5を備えている。

【0050】DフリップフロップD1~D5は、それぞれ入力データをラッチし、クロック信号発生回路1からの基準クロック信号CLKに同期して出力することにより、データ出力のタイミングを調整するものである。

【0051】白/黒選択信号出力回路C1は、CPU2の設定に従って白基準データ又は黒基準データのいずれの読取であるかを示す選択信号BWSELを出力するもので、CPU2において白基準データの読取が設定されたときは選択信号BWSEL=1、黒基準データの読取が設定されたときは選択信号BWSEL=0を出力する。

【0052】白/黒基準データサンプリングイネーブル信号出力回路C2は、CPU2で設定されるサンプリン



グライン間隔に従って、クロック信号発生回路1からの水平同期信号OHSYNCに同期して基準データサンプリングイネーブル信号SPLENを出力するものである。本実施形態では、CPU2によってサンプリングライン間隔が1に設定されており、後述する図4、図8に示すように、水平同期信号OHSYNC L1, L3, L5, ...に同期して、基準データサンプリングイネーブル信号SPLENが出力されている。

【0053】また、白/黒基準データサンプリングイネーブル信号出力回路C2は、白/黒選択信号出力回路C1から選択信号BWSEL=1が出力されているときは、基準データサンプリングイネーブル信号SPLENに同期して白基準データサンプリングイネーブル信号WSPLENを出力し、選択信号BWSEL=0が出力されているときは、基準データサンプリングイネーブル信号SPLENに同期して黒基準データサンプリングイネーブル信号BSPLENを出力する。

【0054】先頭ラインサンプル信号出力回路C3は、CPU2により白基準データ又は黒基準データの読取開始信号が出力されると、サンプリングラインが先頭ラインのときに、水平同期信号OHSYNCに同期してハイレベル信号を出力する。“0”出力回路C4は、3ビットの0データを出力するものである。

【0055】合成回路G1は、白基準データ用FIFOメモリM1に格納されている8ビットデータWRD(7:0)を上位8ビットとし、黒基準データ用FIFOメモリM2に格納されている8ビットデータBRDの上位3ビットBRD(7:5)を下位3ビットとして構成される11ビットデータに合成して出力するものである。

【0056】合成回路G2は、“0”出力回路C4から出力される3ビットの0データを上位3ビットとし、黒基準データ用FIFOメモリM2に格納されている8ビットデータBRDの下位5ビットBRD(4:0)を中位5ビットとし、黒基準データ用FIFOメモリM2に格納されている8ビットデータBRDの上位3ビットBRD(7:5)を下位3ビットとして構成される11ビットデータに合成して出力するものである。

【0057】セレクトaS1は、白/黒選択信号出力回路C1から選択信号BWSEL=1が出力されているときは合成回路G1からのデータを出力データBWINとし、選択信号BWSEL=0が出力されているときは合成回路G2からのデータを出力データBWINとするものである。また、セレクトaS1は、先頭ラインサンプル信号出力回路C3からハイレベル信号が出力されているときは、出力データBWIN=0とする。

【0058】加算器C5は、CCDラインセンサ4で読み取られ、A/D変換器5でデジタルデータに変換された白基準データ又は黒基準データWBsと、セレクトaS1の出力データBWINとを加算するもので、LSUM=WBs+BWINとなる加算データLSUMを出力するものである。

【0059】オーバーフロー処理回路C6は、白/黒選択信号出力回路C1から選択信号BWSEL=1が出力されているときは、LSUM>2047になるとLSUM=2047とし、選択信号BWSEL=0が出力されているときは、LSUM>255になるとLSUM=255とするものである。

【0060】セレクトaS2は、白/黒基準データサンプリングイネーブル信号出力回路C2から白基準データサンプリングイネーブル信号WSPLENが出力されているときは、11ビットデータである加算データLSUMの上位8ビットLSUM(10:3)を出力して白基準データ用FIFOメモリM1に格納するものである。

【0061】一方、白/黒基準データサンプリングイネーブル信号出力回路C2から白基準データサンプリングイネーブル信号WSPLENが出力されていないときには、セレクトaS2は、白基準データ用FIFOメモリM1に格納されている8ビットデータWRD(7:0)を出力して白基準データ用FIFOメモリM1に格納する。これによって、CCDラインセンサ4で白基準データが読み取られていないときに、白基準データ用FIFOメモリM1のデータがリフレッシュされるので、白基準データ用FIFOメモリM1としてDRAMを用いることができる。

【0062】セレクトaS3は、白/黒基準データサンプリングイネーブル信号出力回路C2から黒基準データサンプリングイネーブル信号BSPLENが出力されているときは、11ビットデータである加算データLSUMの上位3ビット及び下位3ビットを除く中位5ビットLSUM(7:3)を出力するものである。

【0063】また、セレクトaS3は、白/黒基準データサンプリングイネーブル信号出力回路C2から黒基準データサンプリングイネーブル信号BSPLENが出力されていないときは、黒基準データ用FIFOメモリM2に格納されている8ビットデータBRDの下位5ビットBRD(4:0)を出力する。

【0064】セレクトaS4は、白/黒基準データサンプリングイネーブル信号出力回路C2から基準データサンプリングイネーブル信号SPLENが出力されているときは、11ビットデータである加算データLSUMの下位3ビットLSUM(2:0)を出力するものである。

【0065】また、セレクトaS4は、白/黒基準データサンプリングイネーブル信号出力回路C2から基準データサンプリングイネーブル信号SPLENが出力されていないときは、黒基準データ用FIFOメモリM2に格納されている8ビットデータBRDの上位3ビットBRD(7:5)を出力するものである。

【0066】このセレクトaS3, S4によって、CCDラインセンサ4で黒基準データが読み取られていないときには、黒基準データ用FIFOメモリM2のデータがリフレッシュされるので、黒基準データ用FIFOメモリM2としてDRAMを用いることができる。

【0067】合成回路G3は、セレクトaS3から出力さ

れる5ビットデータを下位5ビットとし、セクタS4から出力される3ビットデータを上位3ビットとする8ビットデータに合成して黒基準データ用FIFOメモリM2に格納するものである。

【0068】次に、図1～図5を用いて、白基準データを求めるときの動作について説明する。図2は白基準データの積算時のビット構成を説明する図、図3はFIFOメモリM1、M2周辺におけるデータの流れを説明する図、図4は各信号状態を示すタイミングチャート、図5は白基準データのサンプリングラインを示す図である。

【0069】CPU2から白基準データの読取開始信号が出力されると、図4に示すように、白/黒選択信号出力回路C1から選択信号BWSEL=1が出力されて、次のラインL1から、水平同期信号OHSYNCに同期して、白/黒基準データサンプリングイネーブル信号出力回路C2から基準データサンプリングイネーブル信号SPLEN及び白基準データサンプリングイネーブル信号WSPLENが出力されて、データのサンプリングが開始される。

【0070】そして、図5に示すように、設定されたライン間隔（本実施形態では、1ライン）を空けて、8ライン分のサンプリングが繰り返される。

【0071】各サンプリングラインで取り込んだ白基準データWBsは、白基準データ用FIFOメモリM1から読み出されたデータBWINと加算器C5で加算され、再度白基準データ用FIFOメモリM1に格納することによって積算が行われる。

【0072】なお、サンプリング開始時点では、白基準データ用FIFOメモリM1に格納されているデータが0とは限らないので、先頭ラインサンプル信号出力回路C3からの出力信号SPL0によって、最初の1ラインL1のサンプリング時のみは、セクタS1の出力信号BWIN=0にされ、加算器C5において、取り込んだ白基準データWBsとBWIN=0が加算される。

【0073】白基準データの8ライン分の積算は、図2に示すように、白基準データ用FIFOメモリM1の8ビットを上位8ビット、黒基準データ用FIFOメモリM2の上位3ビットを下位3ビットとして構成される11ビットの領域で行われる。白基準データは一般に大きい値になるが、11ビットの領域で積算を行うことによって、8ビットデータを8ライン積算した場合でも、オーバーフローすることなく演算を行うことができる。

【0074】そして、8ラインの白基準データが積算されるとサンプリングが終了する。なお、この積算は11ビットで行われるので、積算途中で加算器C5の加算結果LSUMが2047を超えると、オーバーフロー処理回路C6によってLSUM=2047にされるようになっている。

【0075】この積算結果は11ビットで表されており、その上位8ビットが白基準データ用FIFOメモリM1に格納されている。従って、白基準データ用FIF

OメモリM1に格納された8ビットデータは、11ビットの積算結果を右に3ビットシフトした値、すなわち積算結果の1/8に等しいので、図2に示すように、白基準データ用FIFOメモリM1に格納された8ビットデータが、8ライン分のサンプリングデータの平均値となる。

【0076】従って、図3に示すように、白基準データ用FIFOメモリM1には、加算器C5からの上位8ビットのデータが入力され、その8ビットデータがセクタS1の上位8ビットに出力される。

【0077】一方、図1において、白基準データのサンプリングが行われている間は、黒基準データサンプリングイネーブル信号BSPLENが出力されないで、セクタS3、S4から黒基準データ用FIFOメモリM2に格納されたデータBRDが出力され、この出力データが黒基準データ用FIFOメモリM2にそのまま格納される。従って、図3に示すようにデータが流れて、同一データが保持される。

【0078】次に、図1、図6～図9を用いて、黒基準データを求めるときの動作について説明する。図6は黒基準データの積算時のビット構成を説明する図、図7はFIFOメモリM1、M2周辺におけるデータの流れを説明する図、図8は各信号状態を示すタイミングチャート、図9は黒基準データのサンプリングラインを示す図である。

【0079】CPU2から黒基準データの読取開始信号が出力されると、図8に示すように、白/黒選択信号出力回路C1から選択信号BWSEL=0が出力されて、次のラインL1から、水平同期信号OHSYNCに同期して、白/黒基準データサンプリングイネーブル信号出力回路C2から基準データサンプリングイネーブル信号SPLEN及び黒基準データサンプリングイネーブル信号BSPLENが出力されて、データのサンプリングが開始される。

【0080】そして、図9に示すように、設定されたライン間隔（本実施形態では、1ライン）を空けて、8ライン分のサンプリングが繰り返される。

【0081】各サンプリングラインで取り込んだ黒基準データWBsは、黒基準データ用FIFOメモリM2から読み出されたデータBRDと加算器C5で加算され、再度黒基準データ用FIFOメモリM2に格納することによって積算が行われる。

【0082】なお、サンプリング開始時点では、黒基準データ用FIFOメモリM2に格納されているデータが0とは限らないので、先頭ラインサンプル信号出力回路C3からの出力信号SPL0によって、最初の1ラインL1のサンプリング時のみは、セクタS1の出力信号BWIN=0にされ、加算器C5において、取り込んだ1ライン目の黒基準データWBsとBWIN=0が加算される。

【0083】黒基準データの8ライン分の積算は、図6に示すように、黒基準データ用FIFOメモリM2の下

位5ビットを上位5ビットとし、黒基準データ用FIFOメモリM2の上位3ビットを下位3ビットとして構成される8ビットの領域で行われる。黒基準データは一般に0に近い値になるので、8ビットデータを8ライン分積算しているが、オーバーフローすることなく演算を行うことができる。

【0084】そして、8ラインの黒基準データが積算されるとサンプリングが終了する。なお、この積算は8ビットで行われるので、積算途中で加算器C5の加算結果LSUMが255を超えると、オーバーフロー処理回路C6によってLSUM=255にされるようになっている。

【0085】この積算結果は8ビットで表されており、その上位5ビットが黒基準データ用FIFOメモリM2に下位5ビットとして格納されている。従って、黒基準データ用FIFOメモリM2に格納された下位の5ビットデータは、8ビットの積算結果を右に3ビットシフトした値、すなわち積算結果の $1/8$ に等しいので、図6に示すように、黒基準データ用FIFOメモリM2に格納された5ビットデータが、8ライン分のサンプリングデータの平均値となる。なお、上述したように黒基準データは0に近い値をとるので、黒基準データの平均値を5ビットで表すことができる。

【0086】従って、図7に示すように、黒基準データ用FIFOメモリM2には、加算器C5から上位5ビットのデータが下位5ビットに入力されるとともに、加算器C5から下位3ビットのデータが上位3ビットに入力される。更に、黒基準データ用FIFOメモリM2の上位3ビットがセクタS1の下位3ビットに、FIFOメモリM2の下位5ビットがセクタS1の上位5ビットに出力される。

【0087】一方、図1において、黒基準データのサンプリングが行われている間は、白基準データサンプリングイネーブル信号WSPLENが出力されないで、セクタS3、S4から白基準データ用FIFOメモリM1に格納されたデータWRDが出力され、この出力データが白基準データ用FIFOメモリM1にそのまま格納される。従って、図7に示すようにデータが流れて、同一データが保持される。

【0088】このように、白基準データ用FIFOメモリM1及び黒基準データ用FIFOメモリM2として、8ビットの汎用メモリを用いるようにしたので、簡素な構成で、かつ低コストで画像読取装置を得ることができる。

【0089】また、白基準データ用FIFOメモリM1の8ビットを上位8ビットとし、黒基準データ用FIFOメモリM2の上位3ビットを下位3ビットとして構成される11ビットの領域で白基準データの8ライン分の積算を行うようにしたので、下位5ビットのみ使用する黒基準データ用FIFOメモリM2の上位3ビットを有効に利用するとともに、大きい値をとる白基準データの

8ビットデータを8ライン積算した場合でも、オーバーフローすることなく演算を行うことができ、白基準データ用FIFOメモリM1及び黒基準データ用FIFOメモリM2として、8ビットの汎用メモリを用いることができる。

【0090】また、黒基準データの8ビットの積算において、黒基準データ用FIFOメモリM2の下位5ビットを上位5ビットとして8ライン積算し、積算結果を元の下位5ビットに格納するようにしたので、8ラインの積算後に $1/8$ の除算、すなわち3ビット右ヘシフトする過程を不要にすることができ、構成を簡易にすることができる。

【0091】また、白基準データの11ビットの積算において、白基準データ用FIFOメモリM1の8ビットを上位8ビットとして8ライン積算し、積算結果を元の8ビットに格納するようにしたので、8ラインの積算後に $1/8$ の除算、すなわち3ビット右ヘシフトする過程を不要にすることができ、構成を簡易にすることができる。

【0092】また、白/黒基準データの演算を行っていないときに、白基準データ用FIFOメモリM1及び黒基準データ用FIFOメモリM2に格納されたデータを読み出すとともに、読み出したデータをそのまま書き込むようにしているので、基準データ用FIFOメモリM1、M2として、SRAMだけでなく、DRAMも用いることができる。

【0093】また、CCDラインセンサ4により白基準データ及び黒基準データを受光させるときのライン間隔をCPU2によって設定するようにしたので、ライン間隔を0ラインに設定すると各基準データを短時間で得ることができ、ライン間隔を例えば4ラインなどの複数ラインに設定すると、白色基準板30の汚れによる影響を低減することができる。

【0094】なお、本発明は、上記実施形態に限られず、以下の変形形態(1)～(5)を採用することができる。

(1) A/D変換器5は、アナログ受光データを8ビットのデジタル受光データに変換する際に、上記実施形態と逆に、白基準データは0に近い値、黒基準データは $(2^8-1)$ に近い値となるように変換してもよい。この場合には、白基準データ用FIFOメモリM1と黒基準データ用FIFOメモリM2の処理を上記実施形態と逆に、すなわち黒基準データを11ビットの領域で積算し、白基準データを8ビットの領域で積算すれば、上記実施形態と同様の作用効果が得られる。

【0095】(2) A/D変換器5は、アナログ電圧信号を $n$  ( $n$ は正の整数)ビットのデジタル値に変換するものとし、白、黒基準データ用FIFOメモリM1、M2としてそれぞれ $n$ ビットのメモリを用いて $2^m$  ( $m$ は正の整数かつ $m < n$ )ラインのサンプリングを行う。

【0096】基準データ処理回路6は、白基準データが出力されるときは、白基準データ用メモリM1の $n$ ビットを上位 $n$ ビットとし、黒基準データ用メモリM2の上位 $m$ ビットを下位 $m$ ビットとして構成される $(n+m)$ ビットの領域を用いて、白基準データを2ライン順次積算する。また、基準データ処理回路6は、黒基準データが出力されるときは、黒基準データ用メモリM2の下位 $(n-m)$ ビットを上位 $(n-m)$ ビットとし、黒基準データ用メモリM2の上位 $m$ ビットを下位 $m$ ビットとして構成される $n$ ビットの領域を用いて、黒基準データを2ライン順次積算する。

【0097】オーバーフロー処理回路C6は、白/黒選択信号出力回路C1から選択信号BWSEL=1が出力されているときは、 $LSUM > (2^{n+m} - 1)$ になると $LSUM = (2^{n+m} - 1)$ とし、選択信号BWSEL=0が出力されているときは、 $LSUM > (2^n - 1)$ になると $LSUM = (2^n - 1)$ とする。

【0098】この場合には、全ての白基準データが $n$ ビットにおける最大値、すなわち $(2^n - 1)$ の場合であっても、この2倍は、下記数1に示すように、 $(2^{n+m} - 1)$ より小さい値になるので、オーバーフローすることなく $(n+m)$ ビットで表され、2ラインの積算を正常に行うことができる。

【0099】

【数1】 $(2^n - 1) \times 2^m = 2^{n+m} - 2^m < 2^{n+m} - 1$   
これによって、2ライン積算されたときの白基準データ用メモリM1の $n$ ビットに格納された白基準データは、 $(n+m)$ ビットの積算結果を $m$ ビットだけ右にシフトした値であるので、積算結果の $1/2^m$ 、すなわち2ラインの白基準データの平均値になる。

【0100】また、2ライン積算されたときの黒基準データ用メモリM2の下位 $(n-m)$ ビットに格納された黒基準データは、 $n$ ビットの積算結果を $m$ ビットだけ右にシフトした値であるので、積算結果の $1/2^m$ 、すなわち2ラインの黒基準データの平均値になる。

【0101】従って、除算やビットのシフト操作を行うことなく、白基準データ及び黒基準データの2ラインの平均値を用いて原稿からのデジタル受光データが補正されることとなり、的確なシェーディング補正を行うことができる。

【0102】(3) 上記変形形態(2)において、 $n \geq 2^m$ とする。例えば $n=8$ 、 $m=2$ とする。この場合には、基準データ処理回路6は、白基準データが出力されるときは、白基準データ用メモリM1の8ビットを上位8ビットとし、黒基準データ用メモリM2の上位2ビットを下位2ビットとして構成される10ビットの領域を用いて、白基準データを4ライン順次積算する。

【0103】また、基準データ処理回路6は、黒基準データが出力されるときは、黒基準データ用メモリM2の下位6ビットを上位6ビットとし、黒基準データ用メモリM2の上位2ビットを下位2ビットとして構成される8ビットの領域を用いて、黒基準データを4ライン順次積算する。

【0104】これによって、4ライン積算されたときの白基準データ用メモリM1の8ビットに格納された白基準データは、10ビットの積算結果を2ビットだけ右にシフトした値であるので、積算結果の $1/4$ 、すなわち4ラインの白基準データの平均値になる。

【0105】また、4ライン積算されたときの黒基準データ用メモリM2の下位6ビットに格納された黒基準データは、8ビットの積算結果を2ビットだけ右にシフトした値であるので、積算結果の $1/4$ 、すなわち4ラインの黒基準データの平均値になる。

【0106】従って、除算やビットのシフト操作を行うことなく、白基準データ及び黒基準データの4ラインの平均値を用いて原稿からのデジタル受光データが補正されることとなり、的確なシェーディング補正を行うことができる。

【0107】(4) 上記変形形態(2)において、基準データ処理回路6は、白基準データが出力されるときは、白基準データ用メモリM1の $n$ ビットを上位 $n$ ビットとし、黒基準データ用メモリM2の下位 $m$ ビットを下位 $m$ ビットとして構成される $(n+m)$ ビットの領域を用いて、白基準データを2ライン順次積算するとともに、黒基準データが出力されるときは、黒基準データ用メモリM2の上位 $(n-m)$ ビットを上位 $(n-m)$ ビットとし、黒基準データ用メモリM2の下位 $m$ ビットを下位 $m$ ビットとして構成される $n$ ビットの領域を用いて、黒基準データを2ライン順次積算するものとする。

【0108】このように、積算値の下位 $m$ ビット、すなわち加算器C5における下位 $m$ ビットとして、黒基準データ用メモリM2の任意の $m$ ビットを用いて構成した場合でも、同様の作用効果を得ることができる。

【0109】(5) 上記実施形態は、図11に示すように、遮光板34を用いる形態であるが、図12に示すような形態でもよい。図12において、図11と同一構成要素には、同一符号を付している。この形態は、原稿Gを載置するための透明なコンタクトガラス36に隣接して並設された不透明な遮光部材からなるカバー37を備えており、白色基準板30は、このカバー37に配設されている。

【0110】また、露光ランプ31及び反射ミラー331~333は、図12(a)に示すように、そのホームポジションにおいてカバー37に対向するように構成されており、これによって、露光ランプ31及び反射ミラー331~333のホームポジションにおいて露光ランプ31が消灯状態のときには、CCDラインセンサ4に光が入射しないように構成されている。

【0111】この形態の動作について説明すると、露光ランプ31及び反射ミラー331~333は、非動作時

には図12(a)に示すようにホームポジションに配置されており、動作が開始されると、まず、露光ランプ31及び反射ミラー331~333がホームポジションに位置し、かつ露光ランプ31が消灯したままの状態黒基準データを得る。

【0112】次いで、露光ランプ31及び反射ミラー331~333を移動させ、白色基準板30の対向位置で露光ランプ31を点灯させて白基準データを得る。その後、図12(b)に示すように、露光ランプ31及び反射ミラー331~333を更に移動させて原稿Gを読み取る。

【0113】この構成によれば、遮光板34及び遮光板駆動部35が不要になり、より簡素な構成で上記実施形態と同様の作用効果を得ることができる。

【0114】

【発明の効果】以上説明したように、本発明によれば、原稿読取前に、照明された白色基準板からの反射光をライン状に配列された複数の光電変換素子により少なくとも2ライン受光し、更に、原稿読取前に、各光電変換素子を遮光した状態で各光電変換素子により少なくとも2ライン受光して、一方の基準データ用メモリのnビットを上位nビットとし、他方の基準データ用メモリの所定のmビットを下位mビットとして構成される(n+m)ビットの領域を用いて、一方の基準データを2ライン順次積算し、他方の基準データ用メモリの上記所定のmビットを下位mビットとし、他方の基準データ用メモリの残りの(n-m)ビットを上位(n-m)ビットとして構成されるnビットの領域を用いて、他方の基準データを2ライン順次積算するようにしたので、2ライン積算されたときの一方の基準データ用メモリのnビットに格納された基準データを一方の基準データの2ラインの平均値とし、2ライン積算されたときの他方の基準データ用メモリの上記残りの(n-m)ビットに格納された基準データを他方の基準データの2ラインの平均値とすることができる。

【0115】従って、除算やビットのシフト操作を不要にすることができ、これによって構成の簡素化を図ることができる。また、白基準データ及び黒基準データの2ラインの平均値を用いて原稿からのデジタル受光データを補正することにより、的確なシェーディング補正を行うことができる。

【0116】また、アナログ受光データをnビットのデジタル受光データに変換する際に、白基準データを(2<sup>n</sup>-1)に近い値、かつ、黒基準データを0に近い値となるように変換し、一方の基準データを白基準データ、他方の基準データを黒基準データ、一方の基準データ用メモリを白基準データ用メモリ、他方の基準データ用メモリを黒基準データ用メモリとすることにより、2ライン積算されたときの白基準データ用メモリのnビットに格納された基準データを白基準データの2ライ

ンの平均値とし、2ライン積算されたときの黒基準データ用メモリの上記残りの(n-m)ビットに格納された基準データを黒基準データの2ラインの平均値とすることができる。

【0117】従って、除算やビットのシフト操作を不要にすることができ、これによって構成の簡素化を図ることができる。また、白基準データ及び黒基準データの2ラインの平均値を用いて原稿からのデジタル受光データを補正することにより、的確なシェーディング補正を行うことができる。

【0118】また、アナログ受光データをnビットのデジタル受光データに変換する際に、黒基準データを(2<sup>n</sup>-1)に近い値、かつ、白基準データを0に近い値となるように変換し、一方の基準データを黒基準データ、他方の基準データを白基準データ、一方の基準データ用メモリを黒基準データ用メモリ、他方の基準データ用メモリを白基準データ用メモリとすることにより、2ライン積算されたときの黒基準データ用メモリのnビットに格納された基準データを黒基準データの2ラインの平均値とし、2ライン積算されたときの白基準データ用メモリの上記残りの(n-m)ビットに格納された基準データを白基準データの2ラインの平均値とすることができる。

【0119】従って、除算やビットのシフト操作を不要にすることができ、これによって構成の簡素化を図ることができる。また、白基準データ及び黒基準データの2ラインの平均値を用いて原稿からのデジタル受光データを補正することにより、的確なシェーディング補正を行うことができる。

【0120】また、基準データ処理回路における2ラインの積算を、出力された一方の基準データと上記(n+m)ビットの領域に格納されたデータとをライン毎に加算して上記(n+m)ビットの領域に格納することによって行うとともに、出力された他方の基準データと上記nビットの領域に格納されたデータとをライン毎に加算して上記nビットの領域に格納することによって行い、出力された一方の基準データが最初のラインのときは、上記(n+m)ビットの領域に格納されたデータに代えて0と一方の基準データとを加算し、出力された他方の基準データが最初のラインのときは上記nビットの領域に格納されたデータに代えて0と他方の基準データとを加算することにより、2ラインの各基準データの積算を正確に行うことができる。

【0121】また、一方の基準データの積算時には加算結果が(2<sup>n+m</sup>-1)を超えると(2<sup>n+m</sup>-1)を加算結果とし、他方の基準データの積算時には加算結果が(2<sup>n</sup>-1)を超えると(2<sup>n</sup>-1)を加算結果とすることにより、所定数のビット領域における加算において、加算結果が当該ビット領域の最大値を超えたときのオーバーフロー処理を好適に行うことができる。

【0122】また、 $n \geq 2$ とすることにより、一方の基準データの2ラインの積算を $(n+m)$ ビットの領域において正常に行うことができ、2ラインの平均値を一方の基準データ用メモリの $n$ ビットに格納することができる。また、他方の基準データの2ラインの積算を $n$ ビットの領域において正常に行うことができ、2ラインの平均値を他方の基準データ用メモリの残りの $(n-m)$ ビットに格納することができる。

【0123】また、 $n=8$ 、 $m=3$ とすることにより、一方の基準データ用メモリの8ビットを上位8ビットとし、他方の基準データ用メモリの所定の3ビットを下位3ビットとして構成される11ビットの領域を用いて、一方の基準データを8ライン順次積算し、他方の基準データ用メモリの上記所定の3ビットを下位3ビットとし、他方の基準データ用メモリの残りの5ビットを上位5ビットとして構成される8ビットの領域を用いて、他方の基準データを8ライン順次積算することとなり、8ライン積算されたときの一方の基準データ用メモリの8ビットに格納された基準データを、一方の基準データの8ラインの平均値とすることができ、8ライン積算されたときの他方の基準データ用メモリの残りの5ビットに格納された基準データを、他方の基準データの8ラインの平均値とすることができる。従って、除算やビットのシフト操作を不要にすることができ、これによって構成の簡素化を図ることができる。また、白基準データ及び黒基準データの8ラインの平均値を用いて原稿からのデジタル受光データが補正されることとなり、的確なシェーディング補正を行うことができる。また、白基準データ用メモリ及び黒基準データ用メモリとして、8ビットの汎用メモリを用いることができ、容易にかつ低コストで構成することができる。

【0124】また、白基準データ受光制御手段及び黒基準データ受光制御手段により受光させるときのライン間隔を設定可能にすることにより、ライン間隔を0ラインに設定すると各基準データを短時間で得ることができ、ライン間隔を複数ラインに設定すると白色基準板の汚れによる影響を低減することができる。

#### 【図面の簡単な説明】

【図1】基準データ処理回路の回路ブロック図である。

【図2】白基準データ積算時のビット構成を説明する図である。

【図3】白基準データ積算時のFIFOメモリM1、M2周辺におけるデータの流れを説明する図である。

【図4】白基準データ積算時の各信号状態を示すタイミングチャートである。

【図5】白基準データのサンプリングラインを示す図である。

【図6】黒基準データ積算時のビット構成を説明する図である。

【図7】黒基準データ積算時のFIFOメモリM1、M2周辺におけるデータの流れを説明する図である。

【図8】黒基準データ積算時の各信号状態を示すタイミングチャートである。

【図9】黒基準データのサンプリングラインを示す図である。

【図10】本発明に係る画像読取装置の一実施形態の構成を示すブロック図である。

【図11】同実施形態の原稿走査部の概略構成図である。

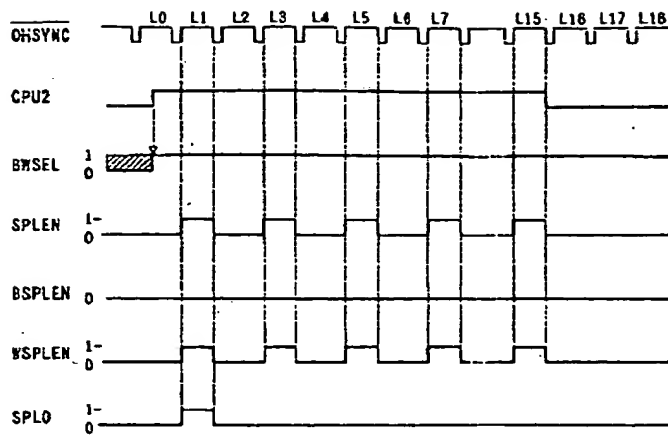
【図12】(a) (b)は原稿走査部の変形形態を示す概略構成図である。

#### 【符号の説明】

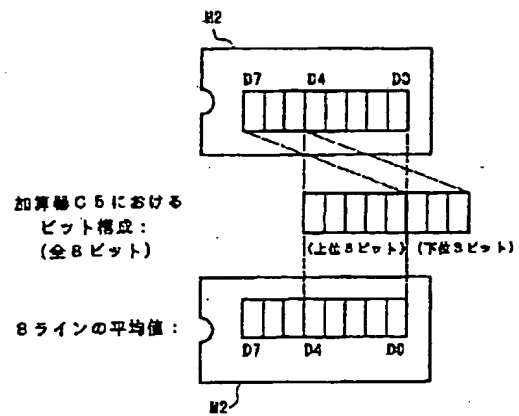
- 1 クロック信号発生回路
- 2 CPU
- 3 原稿走査部
- 30 白色基準板
- 31 露光ランプ
- 32 ランプ駆動部
- 33 光学系
- 34 遮光板
- 35 遮光板駆動部
- 36 コンタクトガラス
- 37 カバー
- 4 CCDラインセンサ
- 5 A/D変換器
- 6 基準データ処理回路
- 7 補正係数設定回路
- 8 乗算器
- M1 白基準データ用FIFOメモリ
- M2 黒基準データ用FIFOメモリ
- C1 白/黒選択信号出力回路
- C2 白/黒基準データサンプリングイネーブル信号出力回路
- C3 先頭ラインサンプル信号出力回路
- C4 “0”出力回路
- C5 加算器
- C6 オーバーフロー処理回路
- G1~G3 合成回路
- S1~S4 セレクタ



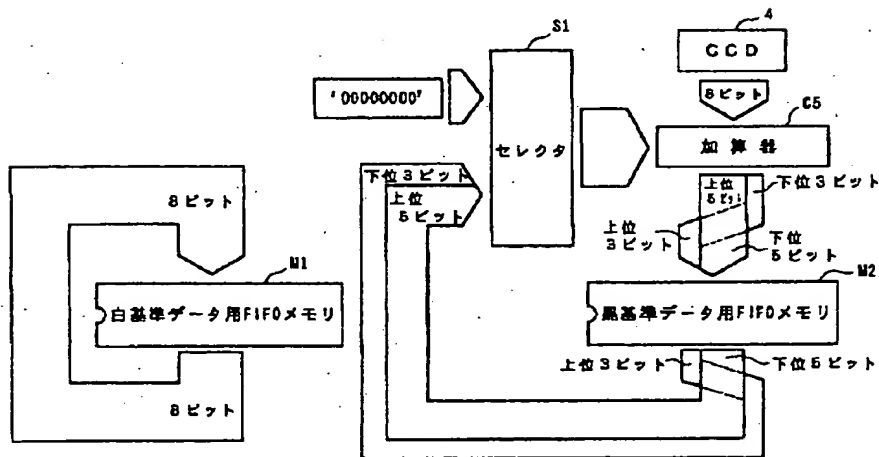
【図4】



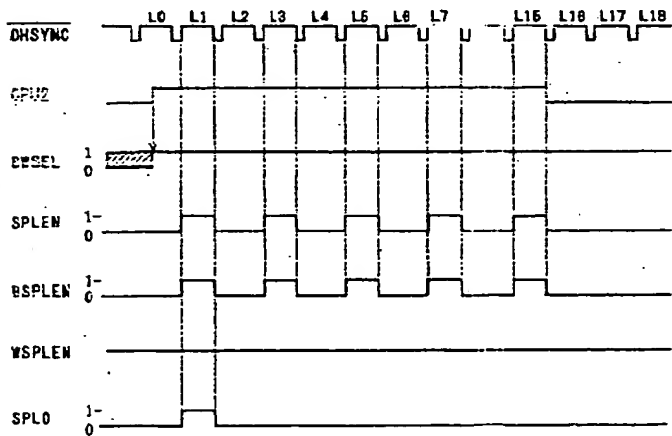
【図6】



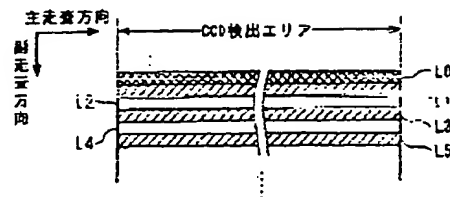
【図7】



【図8】

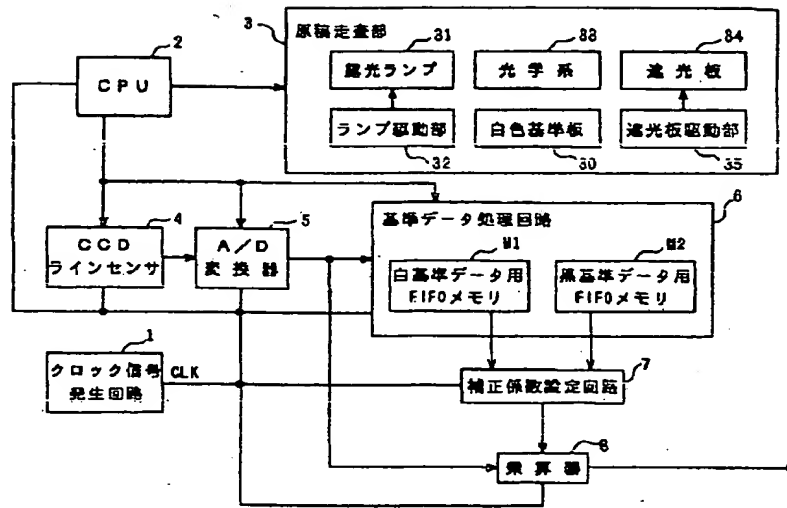


【図9】





【図10】



【図12】

